

AB

INFORMATION TRANSMISSION SYSTEM

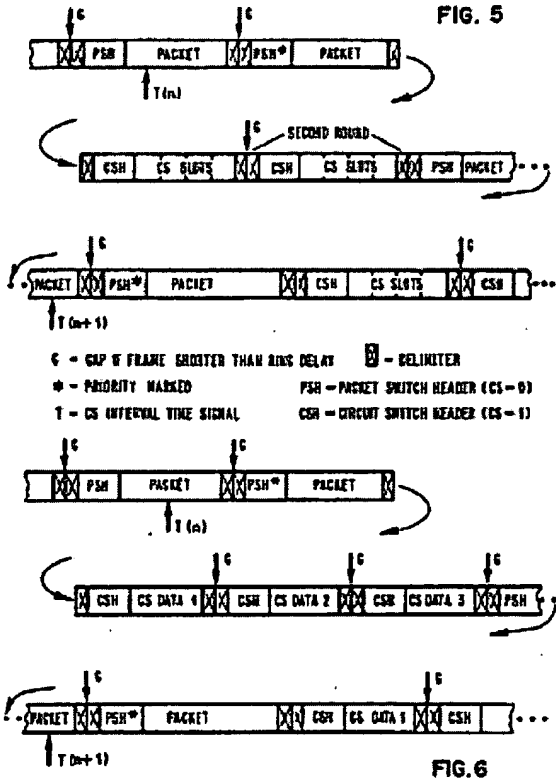
Patent number: JP57129051  
Publication date: 1982-08-10  
Inventor: BERUNAA BUTSUKUSU; FUJITSUPU ARUNAUO  
YANSON; HANSU RUDORUFU MIYUURAA; DANIERU  
CHII UINGU JII  
Applicant: IBM  
Classification:  
- international: H04L12/433; H04L12/64; H04L12/427; H04L12/64;  
(IPC1-7): H04L11/00; H04L11/20  
- european: H04L12/433; H04L12/64  
Application number: JP19810159540 19811008  
Priority number(s): EP19800107706 19801208

Also published as:  
EP0054077 (A1)  
US4482999 (A1)  
US4429405 (A1)  
EP0054077 (B1)

Report a data error here

Abstract not available for JP57129051  
Abstract of corresponding document: US4429405

In a ring communication system comprising several stations, access to the ring is granted to one station at a time by a circulating token indication. A method is provided guaranteeing a transmission opportunity for synchronous or circuit-switched data in periodic time intervals to authorized stations. A CS monitor station issues a frame header which is marked in a specific bit position to allow only authorized stations to transmit their synchronous data together with a destination address. In a first embodiment, a single frame comprises a plurality of slots each having a free/busy indication, a destination address field and a field for synchronous data, and each authorized station can occupy one such slot. In a second embodiment, a marked frame can be used by only one authorized station for transmitting synchronous data, but a new marked frame is reissued until all authorized stations around the ring have transmitted synchronous data.



BEST AVAILABLE COPY

Data supplied from the esp@cenet database - Worldwide

⑪ Int. Cl.<sup>3</sup>H 04 L 11/00  
11/20

識別記号

庁内整理番号

7230-5K  
7459-5K

⑬ 公開 昭和57年(1982) 8月10日

発明の数 1  
審査請求 有

(全26頁)

## ⑭ 情報伝送方式

⑯ 特 願 昭56-159540

⑰ 出 願 昭56(1981)10月 8日

優先権主張 ⑱ 1980年12月 8日 ⑲ スイス(C  
H) ⑳ 80107706.6㉑ 発 明 者 ベルナー・ブックス  
スイス国チューリツヒ805リヒ  
テルスヴィル・ライドホルツシ  
ュトラーセ33番地㉒ 発 明 者 フイリツプ・アルナウド・ヤン  
ソン  
スイス国チューリツヒ8820バーデンスビル・オブ・レイホッフ  
シュトラーセ69番地㉓ 発 明 者 ハンス・ルドルフ・ミューラー  
スイス国チューリツヒ8135ラン  
グナウ・エルレンベーク7番地㉔ 出 願 人 インターナショナル・ビジネス  
・マシーンズ・コーポレーショ  
ンアメリカ合衆国10504ニューヨ  
ーク州アーモンク(番地なし)㉕ 代 理 人 弁理士 頓宮孝一 外1名  
最終頁に続く

## 明 細 書

## 1. 発明の名称 情報伝送方式

## 2. 特許請求の範囲

1 方向性の伝送リングへ複数のステーションを接続し、フレーム・ヘッダ及びトークン指示を前記伝送リングを介して循環させることによつて、送信すべき情報を有するステーションの前記伝送リングへのアクセスを制御するようにした情報伝送方式において：特定の表示によつて識別される回線交換式伝送のためのフレーム・ヘッダを周期的インターバルでリリースするように回線交換モニタ・ステーションが前記伝送リングに接続され、自由トークン指示を伴う該フレーム・ヘッダにより前記複数のステーションのうち前以て許可されたステーションだけが同期的なデータ・ブロックを送信することができるようにされ、前記周期的インターバルの間に前記許可されたステーションから送信すべきすべての同期的データ・ブロックが送信された後、前記複数のステーションのうち任意のステーションが非同期的なデータ・パケッ

トを送信することができるように、前記回線交換モニタ・ステーションによつて自由トークン指示を伴い且つ前記特定の表示を持たないパケット交換式伝送のためのフレーム・ヘッダがリリースされるようにした、情報伝送方式。

## 3. 発明の詳細な説明

本発明は1方向性伝送リングへ接続されたステーション相互間で情報を伝送するに際し、フレーム・ヘッダ及びトークン指示をフレーム同期なしに循環させることによつて、該リングへのアクセスを各ステーションへ与えるようにした伝送方式に係る。また本発明は1方向性伝送リングへ接続されたステーション相互間で情報を伝送するに際し、各フレームを介して非同期的なデータ・パケット及び同期的なデータ・ブロックを交換するようにした伝送方式に係る。

非同期的データ及び同期的データ(たとえば、音声サンプル)を伝送するためのリング伝送方式は、種々のものが知られている。たとえば、このような伝送方式は次の刊行物に記載されている。

P. Zafiropulo et al.: "Signalling and Frame Structures in Highly Decentralized Loop Systems", Proceedings ICCC, 1972, pp. 309 - 315

G. J. Coviello et al.: "Integration of Circuit/Packet Switching by a S E N E T Concept", Proceedings NTC, 1975, pp. 42 - 12 to 42 - 17

米国特許第3732374号

E. Y. Rocher et al.: "Self-Switching Multi-Cable Loop", IBM Technical Disclosure Bulletin, Vol. 13, No 8, January 1971, pp. 2422 - 2424

これらの伝送方式は種々のデータ・サービスを統合することを可能にするけれども、これらはスロット式であつて一定時間のラスタを必要とする。このため、リングへ接続されたすべてのステーションはスロット同期されねばならず、しかもリング上の循環遅延はスロット時間に対し一定の関係になければならない。さらに、リングに対し或る

(3)

方式では、制御バイトに関連する指示ビットによつて或るステーションから次のステーションへ伝送権を伝達し、リングの制御を獲得するステーションによつてこの指示ビットを"使用中"へ変更し、次いで該ステーションがそのデータを伝送した後この指示ビットを"自由"にして再発行するようにしている。かかる方式は、W. D. Farmer et al.: "A New Experimental Distributed Switching System to Handle Bursty Computer Traffic", ACM Symposium on Problems in the Optimization of Data Communication Systems, October 13-16, 1969 という刊行物に記載されている。この刊行物に記載されたリング伝送方式は、ランダムなインターバルで供給される可変長のデータ・パケットを伝送することに適している。この刊行物では規則的なレートの信号(たとえば、音声)を伝送することが説明されているけれども、基本のパケット交換又はトークン制御方式を変更せず

(5)

特開昭57-129051(2)

ステーションが追加/除去される場合、又はリング構成が変更される場合には、特殊な適応手段が必要となる。

R. Abraham et al.: "Data Loop Architecture Using Transmit-Receive Message Pairs", IBM Technical Disclosure Bulletin, Vol. 19, No 1, June 1976, pp. 146-151 という刊行物に記載されたリング伝送方式では、各ステーションは同期情報を担持するフレームを使用してコントローラと通信を行い、そして各ステーションは伝送を必要とするとき該コントローラによつて発生される一連のフレームを獲得するようにしている。しかしながら、この方式ではコントローラが主たる役割を持つていて、規則的なインターバルで同期の情報を伝送することはできないから、これは同格(peer type)のステーション相互間で情報を直接交換することには適していない。

またステーション相互間でフレームを介してデータを伝送するようにした他の公知のリング伝送

(4)

に伝送回線の容量を規則的に利用可能にするという点については全く触れられていない。

本発明の目的は、リングへのアクセスを一度に1つのステーションへ付与する如きトークン制御機構に基く分散形リング伝送方式において、非同期的に供給されるデータ・パケットをすべての同格ステーション間で効率的に伝送することができるようにするとともに、許可された(authorized)多数のステーションが同期的に供給されたデータを規則的なインターバルで伝送できるようにすることにある。

本発明の他の目的は、非同期的及び同期的データのためのループ伝送方式であつて、リングに沿つて設けられたステーション相互間でスロット又はフレーム同期を必要としないが、ビット同期のみを必要とするようなループ伝送方式を提供することにある。

これらの目的を達成するため、特定の回線交換モニタ機能が或るステーションに設けられ、また特定のビット位置がフレーム・ヘッダに設けられ

(6)

る。こうすることにより、可変長の非同期的フレームにおける基本のトークン制御式伝送原理から逸脱することなく、同期的データ伝送を必要とするステーションにサービスするために或るフレームを規則的なインターバルで発行することが可能となる。

本発明によれば、僅かの回路を追加するだけで許可された諸ステーションへ伝送能力を規則的なインターバルで与えることができる。

以下図面を参照して、本発明の原理及びその2つの実施例を説明する。

#### (A) 基本方式及び手順の原理

##### (A1) 基本構成及び伝送原理

第1図には、本発明が適用される伝送方式の基本構成が図示されている。この伝送方式はクローズド・ループ式の1方向性伝送リング11を含み、該リングは複数のデータ端末ユニット(DTU)13、15、17、19を相互接続する。DTUの各々は、ディスプレイ端末、ミニ計算機、データ収

(7)

RA)25、27、29、31、33、35を介して伝送リング11へそれぞれ接続される。以下では、かかるDTU及びモニタの各々を“ステーション”と呼ぶ。かくして、リング11には図示の如くステーション1乃至Nが設けられていることになる。

RAの各々は、リング挿入スイッチ(RIS)及びリング・アクセス制御(RAC)を含む。RISは、関連するステーションをリング11へ接続するか又は該ステーションをバイパスするためのスイッチを含む。又RISはパルス信号の増巾及び整形を行うための中継機能を有するとともに、受信データからクロック信号を抽出するためのクロック抽出回路を含む。さらにRISの各々は遅延回路及びそれに続くスイッチを含み、これらは受信データに所与の遅延を与えた後これを転送するか又はこの遅延データを関連するステーションからの信号で置換するようにRACから制御される。通常のDTUに関連するRA25乃至31の遅延量は1ビットであるのに対し、モニタ23及び21に関連する

(9)

集装置及び電話機の如き装置から成る。この伝送方式はこれらの装置の間でデータを交換するように働く。

この伝送方式に設けられたリング・モニタ21はクロック信号を供給し、フレーム・ヘッダを発生し、或る種のエラー検査及び回復を行うが、中央制御を有していない。かくて、この伝送方式は分散形のものであつて、それぞれのDTUは同等の権利を有する独立のユニットでありうる。経済的な理由で通常のDTUへモニタ機能を追加してもよいが、その場合でもリング・モニタ21は独立のユニットでありうる。

またリング11には、回線交換(CS)モニタ23が設けられる。その目的はこの伝送方式における本発明の回線交換機能を支援することである。CSモニタ23はリングモニタ21と組合わされてもよく、或いはリング・モニタ21とは別の通常のDTUの追加部分でもよい。本実施例では、後者の方法が選ばれている。

DTU及びモニタの各々は、リング・アダプタ(

(8)

RA33及び35の遅延量はそれより長く、たとえば1バイト(8ビット)である。RIS及びRACについては、以下で詳述する。任意の活動ステーションはリング11を通過するすべてのデータ信号を受信し、これらの受信データ信号を中継するか又はそれ自体のデータ信号をリング11の次のステーションへ加える。

リング11上のデータ伝送は、第2(a)図に示した公知のマンチエスタ・コードの形式で、ビット直列に行われる。データ信号は2レベルのうち1つのレベルを呈し、“1”データ・ビットの各々は低レベルから高レベルへの遷移によつて表わされ、“0”データ・ビットの各々はそれと逆の遷移によつて表わされる。かくて、各データ・ビットを以下の如き信号要素対によつて表わすことができる。

データ・ビット1=信号要素対'01'

データ・ビット0=信号要素対'10'

フレームを区切り且つこれを認識するために、第2(b)図に示すように4データ・ビットに対応するコード違反(CV)が定義される。かくて、コード違反の各々は以下に示す4つの信号要素対の

(10)

シーケンスによつて表わされる。

コード違反=パターン'01' 11' 00' 01'

もちろん、これらの信号表現は単なる例であつて、本発明を実施する上で不可欠のものでないことに注意すべきである。

リング11上の伝送は、可変長フレーム又はパケットの形式で行うのが基本である。通常のパケット・フレームは周期的ではないから、このシステムはスロット化されないのである。諸ステーションは受信データ信号シーケンスによつてモニタークロックに対しビット同期されるにすぎない。

各ステーションはリング11上を循環するすべてのデータをモニターし、そしてデータを伝送する権利はトークンによつて或るステーションから他のステーションへリング11上を循環する。伝送を希望するステーションはこのトークンを維持し、そのデータ・パッケージを(行先アドレスとともに)送信した後、新しいトークンを発行する。以下で詳述するように、このトークンはフレーム・ヘッダ中の2進の指示子である。上述の如く、通

(11)

の情報フィールドは、所与の最小及び最大長を有する。フレームは終了デリミッタで終る。

デリミッタ:

デリミッタは8ビットの長さを有し、そのうち最初の4ビットは上記したコード違反(CV)を表わし、残りの4ビットはデリミッタの型を示す。最も重要な開始及び終了デリミッタについては、既に説明した。他の重要なデリミッタには異常終了デリミッタと呼ばれるものがあり、これは重大なエラー又は誤動作を検出する送信ステーションによつて発行される。この異常終了デリミッタはフレーム中の任意の時間に発行可能であり、(1)異常状態が存在し且つこれをリング・モニタ21によつて処理しなければならないこと、及び(2)多重に遅れたフレームの第1部分が無効であること、をそれぞれ指示する。

デリミッタは次の如き外観を有しうる(CV=コード違反)。

CV/指示ビット      信号要素対  
開始      コード違反/1111='01'11'00'01'01'01'01'

(13)

特開昭57-129051(4)

常のステーションのRAKには1ビットの遅延があるから、トークン・ビット(TK)の値は正しく認識され、必要とあれば1ビット期間中に変更されうる。利用可能なトークン(TKビット=0)は以下で“自由トークン指示”とも呼ばれ、また利用不能なトークン(TKビット=1)は“否定トークン指示”とも呼ばれる。

起動された後、リング・モニタ21は自由トークン指示及びそれに続く一連の“1”ビット(即ち、信号要素対'01')を含む第1フレーム・ヘッダを発行して同期を維持する。リング・モニタ21は正しいヘッダの通過をモニターし、多重に遅れたヘッダを置換するか又は或るタイムアウトの後に失われたトークンを置換する。

(A2) 基本のフレーム構成

第3図には、この伝送方式で使用されるフレーム構成が図示されている。各フレームは開始デリミッタで始まる。これに続くフレーム・ヘッダは、制御バイト、随意的なヘッダ拡張バイト及び行先アドレス・バイトから成る。ヘッダに続く可変長

(12)

終了      コード違反/0000='01'11'00'01'01'10'10'10'

異常終了      コード違反/1010='01'11'00'01'01'10'01'10'

制御バイト:

制御バイトはそれぞれ独立した8制御ビットから成り、これらのビットは次のような意味を有する。

(1)CSビット: このビットは以下で説明するように当該フレームが通常の非同期的PSフレーム(0)又は同期的CSフレーム(1)のどちらであるかを指示する。但し、PSフレームは「パケット・交換フレーム」を意味し、CSフレームは「回線交換フレーム」を意味する。

(2)P1ビット: この優先順位ビットが1へセットされると、送信ステーションは自由トークン指示を有する新しいPSフレーム・ヘッダの発行を禁止されるので、以下で説明するようにCSモニタ23によつてCSフレ

(14)

ーム・ヘッダを発行することが可能となる。

(3) P 2 ビット：これは第 2 の優先順位ビットであつて、当該フレームが高優先順位方式又はエラー・メッセージを含むことを指示しうる。これは本実施例では使用されない。

(4) T K ビット：これはトークン指示である。もしこのビットが 0 であれば、当該フレームは使用されておらず、従つて次のステーションによつて取込まれうる。もしこのビットが 1 であれば、当該フレームは使用されており、従つて（発信及び行先ステーションを除くと）変更されないままにループに沿つて伝送されねばならない。

(5) E X ビット：この拡張又は修飾ビットが 1 へセットされると、これは当該ヘッダが拡張バイトを含むことを指示す

(15)

され得る。

#### 拡張バイト：

この拡張バイトはフレーム・ヘッダ中の随意的なバイトであつて、制御バイト中の E X ビットをセットした後任意の送信ステーションによつて追加されうる。このバイトは次の情報を含みうる。

即ち、非同期的な P S フレームでは、情報フィールドで使用されるデータ形式の仕様又は行先アドレスの拡張部を含み、同期的な C S フレームでは、存在する C S 接続の数を指示する値又は C S フレーム中で転送されるデータ・ブロックの長さを指示する値を含む。

この拡張バイトが使用される場合、各ビットのコード又は意味は事前に指定されなければならない。

#### アドレス・バイト：

この 8 ビット・フィールドは、それぞれのフレームにあるメッセージの行先ステーションのアドレスを含む。1 つ又はそれ以上のアドレスが同報通信又はグループ・アドレスとして使用されても

(17)

特開昭 57-129051 (5)

る。さもないければ、制御バイトの直後に行先アドレスが配置される。

(6) M C ビット：このモニタ制御ビットは諸ステーションの適正な動作を検査するために使用される。このビットはリング・モニタ 2 1 を通過する度に 1 へセットされ、そして当該フレームを使用するステーションによつて 0 へセットされる。

(7) R S ビット：これらは保留制御ビットであつて、本実施例では使用されない。

(8) R S ビット：これらの保留制御ビットは次の機能、即ち (a) 重要な制御情報の冗長コーディング、たとえばトークンを 1 ビットではなく 2 ビットで表現するため、(b) 情報フィールドにおけるデータの表現形式、たとえばビット又はワード（バイト）編成、或いはユーザ・データまたは方式データを指示するために使用

(16)

よい。一般には、リング 1 1 へ接続されたすべてのステーションをアドレスするには 8 ビットで十分である。

もし一層多くのアドレスが必要であれば、2 つの代替方法が可能である。即ち、拡張バイトをアドレス拡張部として使用するか、又は各ヘッダが 2 つのアドレス・バイトを与えるように設計しなければならないということである。

#### 情報フィールド：

このフィールドは実際に伝送すべきデータ又はメッセージを含み、所与の最大長（たとえば、8 × 256 ビット）に至るまで任意の長さを有することができる。この情報フィールドの後にはデリミッタが置かれるので、該フィールドの現在の長さを指定する必要はない。

原理的に、形式又はコードに関する制約はないから、任意のビット・ストリングをこの情報フィールドに挿入することができる。こうすることにより、（リング 1 1 とは別のネットワークに対するインタフェースであるような）ステーション間

(18)

で完全な同期データ・リンク制御、即ちSDLCフレームを伝送することができる。かくてこれらのステーション間でデータの意味が一致しなければならず、或いは前記した拡張バイトで形式が指定されねばならない。

しかしながら、本実施例の情報フィールドは最大256バイトまでの長さをバイト単位で選択するようにされている。

#### (A3) 非同期フレームによるデータ・パケットの伝送

最初の段階では、リング・モニタ21は、開始デリミッタ、制御バイト及びアドレス・バイトにオール0（即ち、信号要素対'10'）を含むヘッダ、それに続く一連の1（即ち、信号要素対'01'）をリリースする。かくて、ヘッダはTKビットが0であるので自由トークン指示を含むことになる。

リング11上の各ステーションは開始デリミッタについて入来信号をモニタし、そして、ヘッダビット及びバイトをカウントする。もし或るステーションが伝送すべきデータを有しているならば、該ステーションは空フレーム中で"0"であつた

(19)

信するとき、所定の制御ビットを検査する。MCビットは、リング11及びリング・モニタ21の適正な動作を保証するために検査される。古いヘッダがリング11を循環する間にCSモニタ23によつて優先順位がマークされる場合には、自由トークン指示（TKビット=0）を有する新しいPSフレーム・ヘッダを各ステーションが発行することを禁止するためにP1ビットが検査されるが、これはCSモニタ23がCSフレーム・ヘッダ（後出）を発行できるようにするためである。

もちろん、伝送可状態にあるステーションが否定トークン指示（TKビット=1）を受信する場合には、該ステーションはそのデータ・パケットを維持しつつ、次の利用可能なフレーム・ヘッダ（TKビット=0）が到着するまで待機しなければならない。

リング11上の活動的なステーションは、開始デリミッタを受信し且つヘッダ・ビット及びバイトのカウントを開始した後、TKビットが1に等しいか否かをテストして当該フレームがデータ・

(21)

トークン・ビット（TKビット）を"1"へ変換し、制御バイトの後に行先アドレスを挿入し、そのデータを伝送するとともに、終了デリミッタを伝送する。次いで、このステーションは新しい開始デリミッタ及び自由トークン指示（TKビット=0）を含む新しいヘッダをリング11へ発行し、続いてそれ自体の終了デリミッタを受信するまでオール1を伝送する。

フレームがリング11全体の遅延より短い場合、このステーションはそのデータ・パケット及び終了デリミッタを伝送した後、同期を維持するためにオール1を伝送するとともに、それ自体のヘッダが戻つてくることを待機する。次いで、このステーションは新しい開始デリミッタ及び自由トークン指示を含むヘッダを発行するので、伝送可の状態にある次のステーションは制御を獲得することができる。このステーションはそれ自体の終了デリミッタを受信したとき、アイドルリング用の"1"の伝送を停止する。

各送信ステーションは、それ自体のヘッダを受

(20)

パケットを挿入したステーションによつて占有されているか否かを決定する。もしそうであれば、このステーションは当該アドレス・フィールドがそれ自体のアドレス又は同報通信アドレスのどちらを含むかをテストする（もしEXビット=1であれば、ヘッダには拡張フィールド及びアドレス・フィールドが含まれていることになるので、前者のフィールドをもテストしなければならない）。もしこのアドレス比較テストの結果が肯定的であれば、当該ステーションは行先であることがわかるから、該ステーションはアドレス・フィールドと終了デリミッタの間にある情報フィールドをそのバッファへコピーするように動作する。

#### (A4) 同期的データ・ブロックの伝送

前記した伝送手順はパケット交換モードにおける非同期的データのみを扱うものである。即ち、諸データ・パケットは伝送が可能になるまで不定の期間にわたつてバッファされねばならない。

以下で詳述する本発明は、基本の伝送方式がスロット化されておらず、しかもフレーム同期を有

(22)

さないにも拘わらず、同期的又は周期的データを回線交換モードで伝送することを可能にする。このために基本のトークン(バケット交換)形リング伝送方式について変更が必要となるのは、CSモニタ23又はそれと同等の手段をリング・モニタ21のほか設けること、各ステーションにCS制御情報を認識し、且つCSデータ・ブロック(後出)を扱うための若干の回路を追加すること、そしてA(2)節で説明した適当なフレーム・ヘッダ形式を与えることがあるにすぎない。

回線交換手順の原理は次の通りである。即ち、CSモニタ23は特別にマークされたフレーム・ヘッダ(CSビット=1)を定期的インターバルでリリースすることにより、許可された各ステーションが周期的データのブロック及びその行先アドレスを伝送することを可能にする。

CSフレームのインターバルは、以下の例から明らかなように、同期的データの周期の整数倍にすることができる。音声信号については、PCMサンプルは必要とされる8kHzのサンプリング・レ

(23)

ーバルの開始後に通過中のPSフレーム・ヘッダに優先順位ビット(P1ビット)をセットする。この優先順位ビットは、それぞれのフレームを使用するステーションが通常のように自由トークン指示(TKビット=0)を有する新しいPSフレーム・ヘッダを発行することを禁止する。そのかわり、それぞれのステーションはそのデータ・バケットに終了デリミッタを付加した後にアイドルを表わす複数の“1”ビットの伝送を開始する(又はそのバケットがリングの伝送遅延よりも短かければ複数の“1”ビットの伝送を継続する)。この場合、CSモニタ23は現PSフレームの終了デリミッタを認識した直後に、開始デリミッタ及びCSフレーム・ヘッダを発行する、即ちこれらで以て受信した上記アイドルリング用の1ビットに置きかえる。

かくて、各CSインターバルの間に1つのCSフレーム・ヘッダがCSモニタ23によつてリリースされる。このリリースはCSタイミング・パルスによつて開始されるが、高々2PSフレーム

(25)

ート(4kHzの帯域巾)を得るために $T=125$ マイクロ秒ごとに伝送されねばならない。必要なCSフレームの数を減らすために、このようなフレームは $m \times 125$ マイクロ秒、たとえば $8 \times 125$ マイクロ秒=1ミリ秒のインターバルでのみリリースされる。この結果、送信ステーションで8つのPCMサンプルを1つのブロックに組立て、そして行先ステーションではこのようなブロックをパツファして125マイクロ秒ごとに1つのPCMサンプルをリリースすることが必要になる。この手順は伝送時間に加えて1ミリ秒の遅延を与えることになるが、これは殆んどどの適用例において許容することができる。もちろん、測定値又はプロセス制御データの実時間伝送を行うようなシステムでは、基本周期Tやブロッキング率mの値として他の任意の値を選ぶことができる。

通常の非同期的なPSフレームを中断することなく適当な時間にCSフレームのリリースを許容するべく、CSモニタ23は“CSインターバル時間”パルスによつてマークされる各CSインタ

(24)

の持続時間(+リング11の循環遅延)だけ遅延される。このタイミング・パルスの後、CSモニタ23は次のPSフレーム・ヘッダが優先順位マーキングのために到着するまで待機しなければならない、次いでもしTKビット=1であれば、即ちもしリング11を介してデータが現に伝送されているならば、CSモニタ23はCSフレーム・ヘッダを伝送する前に現PSフレームの終了デリミッタに対する1PSフレーム・インターバルの間待機しなければならない。しかしながら、もしCSモニタ23がP1ビットをセットしようとしているPSフレーム・ヘッダが自由(TKビット=0)であれば、このPSフレーム・ヘッダはCSフレーム・ヘッダによつて直ちに置換される。この場合、“CSインターバル時間”パルスとCSフレーム・ヘッダのリリースとの間の遅延は、高々1フレームに必要とされる時間(+リング11の循環遅延)の程度である。

CSフレーム・ヘッダのリリース相互間の時間インターバルは1CS期間に等しくはないが、い

(26)



ずれにしてもその変動分は2 P S フレーム・インターバル( + リング11の循環遅延)を超えることはない。

この伝送方式では、かかる変動分は各CS時間インターバルの総持続時間に比較して小さいし、各ステーションへ接続された端末装置には影響しない。というのは、これらの装置は複数の連続サンプルをバッファしてCSデータ・ブロックを編集するようにしており、また受信側ではこれらのサンプルは記憶されたCSデータ・ブロックから連続的なサンプリング期間の間にリリースされるからである。

CSフレーム・ヘッダをリリースした後の作用については、以下の適当な箇所で説明する。これらの作用には現に許可されているステーションのみが関係するので、次にステーション許可(authorization)の方法を簡述する。

ステーション許可の手順は次のように進行する。即ち、パケット交換又は非同期的伝送のための十分な伝送能力を残しておくために、総伝送時間の

(27)

の現在の数 $N(aut)$ を維持することを除くと、許可されたステーションや現在のCS接続を識別するための情報を記憶する必要はない、ということである。というのは、CSデータ・ブロックはそれらの行先アドレスとともに伝送されるからである。もし必要であれば、現在の“接続”を識別するテーブルをCSモニタ23等に記憶することができるけれども、各CSデータ・ブロックの伝送ごとにこのようなテーブルをアクセスする必要はない。

本発明の実施例については、CSデータ・ブロックは一定長(8バイト)を有し、そして基本のCS期間 $T(125 \text{ マイクロ秒})$ 及びブロッキング係数 $m(B)$ は所与のシステムに対し固定されているものと仮定する。しかしながら、CSデータ・ブロックを可変長にしてその長さ指示をCSフレーム・ヘッダに与えたり、また1CSフレーム期間あたり1バイトの基本容量 $B$ に基いて個々のステーションへ異なるCS帯域巾を与えるようにしてもよい。後者のようにすると、各ステーションは $B$

(29)

1部だけが回線交換伝送のために使用されねばならない。かくて、任意の時間には可能な最大数のCS“接続”だけが存在するにすぎないので、これに対応する最大数のステーションだけがCSデータ・ブロックを伝送するために許可されねばならない。

CSモニタ23はこの最大数 $N(max)$ 及び現に許可されているステーションの数 $N(aut)$ を記憶する。周期的データを伝送しようとする任意のステーションは、通常のPSフレームを介してCSモニタ23へ要求を送らねばならない。CSモニタ23は $N(aut)$ を更新し、要求元へ許可応答を送る。しかしながら、もし $N(aut)=N(max)$ であれば、否定応答が送られる。許可されたステーションがもはやCSデータ・ブロックの伝送許可を必要としなくなると、該ステーションはCSモニタ23へリリース・メッセージを送らねばならず、これに応じてCSモニタ23は $N(aut)$ を1だけ減少させる。

ここで注意すべきは、許可されたステーション

(28)

の任意の倍数を要求し、これに応じてCSモニタ23によつて許可されることになる。

以下では、基本の発明概念を若干変形した2つの実施例を説明する。第1実施例は1CSフレームに $n$ 個のCSスロットの列を与え、第2実施例は $n$ 個の連続するCSフレームを使用し該フレームの各々を1対のステーション間の伝送にそれぞれ割当てるようにしている。

#### (1) 第1実施例

第1実施例では、CSモニタ23は規則的なインターバル、たとえば1ミリ秒(1ミリ秒 $=8 \times 125 \text{ マイクロ秒}$ )ごとにCSフレーム・ヘッダを発行するが、これは開始デリミッタの後にあり、CSビット=1だけで行先アドレスを含む他のビットはゼロである。第4図に示すように、このヘッダの後は $n$ 個のCSスロットの列が続き、この後には終了デリミッタが続く。この数 $n$ は現に許可されているステーションの数に等しい。第4図に示すように、各CSスロットは次のフィールドから成る。

(30)

- 1バイトのアドレス・フィールド。その先頭ビット(F/Bビット)位置は自由/使用中トークン指示として使用される。他の7ビット位置は行先アドレスのために使用される。
- mバイトのデータ・ブロック・フィールド。この実施例では $m=8$ であるから、データ・ブロック・フィールドは8バイト即ち64ビットから成る。

もちろん、CSモニタ23はCSフレーム・ヘッダと終了デリミッタの間ではいかなるデータ・ビットをもリリースしない。むしろ、CSモニタ23は $n \times 9 \times 8$ 個の"0"ビットのシーケンス、即ちそれぞれが9バイトの"0"を含む $n$ 個のCSスロットを伝送するのである。

CSデータの伝送を許可され且つそのバッファに8バイトのCSデータ・ブロックを編集した各ステーションは、リング11に到達するためにCSフレーム・ヘッダを待機する。かかるステーションがフレーム・ヘッダ中でCSビット=1を認識

(31)

意のアドレス・フィールド(下位7ビット)の内容がそれ自体のアドレスに一致するか否かを検査する。もしこのステーションがそのアドレスを認識するならば、該ステーションは後続する8バイトからのデータ・ブロックをその受信バッファへコピーする。

送信ステーションによつて伝送される各データ・ブロックが(送信ステーションの上流に位置してもよい)その行先へ到達することを保証するために、CSフレームはリング11に沿つて2回循環しなければならない。リング11に沿つて最初に循環した後、CSフレームはCSモニタ23でバッファされる。終了デリミッタが伝送された場合にのみ、このヘッダは第2の循環のためにリリースされる。CSモニタ23がこのCSフレームの終了デリミッタを2回目に伝送した場合、該モニタは自由トークンに指示(TKビット=0)を有する通常の非同期的PSフレーム・ヘッダを直ちにリリースするので、通常のパケット交換動作をリング11で再開することができる(フレームが

(33)

した場合、該ステーションはこのフレーム・ヘッダの終り(即ち開始デリミッタの2バイト後)に9バイトのスロットをカウントし且つ各スロットの第1ビット(F/Bビット)を検査する。自由トークン指示(F/Bビット=0)が検出される場合、当該スロットはそのF/Bビットを"1"へ変換することによつて獲得される。行先アドレスは第1バイトの残りの位置へ挿入され、そしてバッファされたCSデータ・ブロックは当該スロットにある他の8バイト位置へ挿入される。かくて、このCSフレームがリング11に沿つて1循環する間に、許可された $n$ ステーションの各々は1CSデータ・ブロックを伝送する機会を有する。

リング11上のステーションのうち(たとえば、前以て通知されたために)CSデータを受信することを予想するステーションも、CSフレームの到着を待機する。次いで、このステーションは終了デリミッタが現われるまで適当なタイミング又はカウント動作によつて連続するCSスロット中のアドレス・フィールドを区別するとともに、任

(32)

リング11の遅延よりも短かければバッファリングは不要である)。

非同期的なPSフレーム及び同期的なCSフレームの結果的なシーケンスは、第5図に簡単に示されている。

リング11上でCSモニタ23の後にある最初の通常ステーション(これはCSフレームの後に利用可能なPSフレーム・ヘッダを常に最初に受信する)を選択しないようにするために、最後のPSフレームを伝送したステーションを通過するまで新しいPSフレーム・ヘッダをマークすることにより、一層下流にあるステーションのみがCS伝送の後にこの最初のPSフレーム・ヘッダを獲得できるようにしてもよい。もつと、説明を簡単にするために、このような特殊な手順は本発明の実施例では使用されていない。

## 2重動作:

上記では、送信側から行先側へのCSデータの伝送のみが説明された。CSデータ・ブロックはCSフレーム中のそのスロットに留まり、送信元

(34)

に戻つた後、そこで消去されるのが普通である。

しかしながら、CSデータの2重通信は容易に行うことができる。この場合、許可されたステーションである起呼ステーションと被呼ステーションの間の“接続”がそれぞれ区別される。起呼ステーションは前記したようにそのCSデータ・ブロックをCSフレームの第1循環の間に伝送し、また被呼ステーションのアドレスを行先アドレスとして伝送する。被呼ステーションはそのアドレスを認識し、次いで各CSスロットから8バイトのデータ・ブロックをコピーするとともに、その送信バッファに準備していたCSデータ・ブロックを同じ該CSスロットへ挿入する。このような同じCSスロットにおける受信データと送信データの交換は、1ビットの遅延を以て各ステーションで行うことができる。行先アドレス、即ち被呼ステーションのアドレスは変更されない。被呼ステーションにおけるこれらの動作は、起呼ステーションと被呼ステーションの相対的位置に依存して、CSフレームの第1又は第2循環の間の任意の時

(35)

ロットの列は存在しないが、1つのCSデータ・ブロックのために1つの情報フィールドだけが存在する。このCSフレーム全体はTKビットを、“1”へ変換することにより1つのステーションによつて獲得される。このフレームがリング11を1循環した後、それぞれのステーションは(開始デリミッタによつて先行された)自由トークン指示(TKビット=0)を有するCSフレーム・ヘッダを発行し、次いで“1”ビットのシーケンスを発行する。かくて、リング11の下流にある次の許可ステーションはそのCSデータ・ブロックのためにこのCSフレームを獲得することができる。

この手順の結果、n個の連続するCSフレームが生ぜられ、その各々は許可ステーションの各々によつてそれぞれ使用される。CSモニタ23は通過中のすべてのCSフレーム・ヘッダを検査し、そして最後に自由トークン指示(TKビット=0)を有するCSフレーム・ヘッダを検出する。というのは、すべての許可ステーションは一回ずつサ

(37)

間に行うことができる。

(許可された)起呼ステーションの各々は、CSフレーム・ヘッダを2回目に受信した後、その相手方ステーションのアドレス、即ちこの起呼ステーションが以前に挿入した行先アドレスを含むCSスロットを待機する。このアドレスを検出すると、起呼ステーションは被呼ステーションによつて伝送された8バイトのデータ・ブロックをその受信バッファへコピーする。かくて、CSフレームの1スロットを使用するだけで、完全な2重式回線交換通信を効率的に行うことができる。

## (2) 第2実施例(第6図)

第2実施例でも、CSモニタ23は(開始デリミッタによつて先行された)CSフレーム・ヘッダを規則的なインターバル、例えば1ミリ秒(8×125マイクロ秒)ごとに発行する。しかしながら、第1実施例とは対照的に、CSフレームは許可された1つのステーションのみによつて使用され、かくて行先アドレス、そのCSデータ・ブロック及び終了デリミッタが挿入される。CSス

(36)

ービスされたからである。この時点で、CSモニタ23は開始デリミッタ及びPSヘッダ(CSビット=0であるヘッダ)を発行し、通常の非同期的なバケット交換動作を再開させる。PS及びCSヘッダの結果的なシーケンスは第6図に簡単に示されている。但し、第6図及び第5図では図面を簡単にするために次のような記号が使用されている。

☒ = デリミッタ

G = ギャップ(フレームがリング11の遅延より短い場合)

PSH = PSヘッダ(CSビット=0)

T = CSインターバル時間信号

\* = 優先順位マーク

CSH = CSヘッダ(CSビット=1)

かかる第2実施例の手順が有利であるのは、伝送中のCSデータに対する許可手順並びにフレーム・ヘッダ中のCSビット及び優先順位ビットの監視という点を除くと、この手順がリング11上の通常の非同期的バケット交換手順と同一であり、

(38)

しかも通常のステーションに付加されるハードウェアが最も少いからである。CS モニタ 23 でさえ一層簡単にすることができるが、これは第 1 循環と第 2 循環の間に CS フレームをバッファする必要がないうえ、CS フレームにおけるスロット・タイミングも必要ないという理由による。他の利点としては、各ステーション及び各 CS 期間ごとに異なつたサイズの CS データ・ブロックを与えうることがある。さらに、許可ステーションが偶々或る CS 期間に伝送すべき CS データ・ブロックを持つていなければ、該ステーションは周期的な伝送機会を保証されていたとしても CS フレーム・ヘッダや伝送能力を使用しないのである。

しかしながら、第 1 実施例に関連して注意すべきは、第 2 実施例は複数の CS フレーム・ヘッダのために全体として一層長い伝送時間を必要とするということである。

#### 代替方法：

第 2 実施例の代替方法として、次のような手順が提供される。即ち、任意の許可ステーションが

(39)

をその受信バッファにコピーするとともに、その送信バッファからの CS データ・ブロックを（行先アドレスを変更することなく）同じフレームに挿入する。起呼ステーションは該ステーションが以前に使用した行先アドレスを CS フレームで認識するとき、この CS データ・ブロックをコピーする。2 重動作では、“接続”されている両相手方の CS データ・ブロックは同じ長さを持たなければならない。

#### (B) リング・アダプタ及び CS モニタの詳細

##### (B1.) リング・アダプタ、ステーション機能及びインタフェース

第 7 図はデータ端末ユニット DTU（たとえば第 1 図のユニット 13）を伝送リング（たとえば第 1 図のリング 11）へ接続するための諸ユニット及び諸インタフェース線を簡単に示す。既に説明したように、リング・アダプタ RA（たとえば第 1 図のアダプタ 25）は 2 つの基本ユニット、即ちリング挿入スイッチ（RIS）37 及びリング・

(41)

その CS データ・ブロックを伝送し且つ終了デリミッタを付加した直後に、新しい開始デリミッタ及び自由トークン指示を有する CS フレーム・ヘッダを発行して次の許可ステーションが使用できるようにする、ということである。これは伝送能力の利用度を増大させ、また周期的な回線交換情報の伝送のために使用される時間インターバルの持続時間を一層短くさせるが、これが可能となるのは個々の CS フレームがリング 11 上の総伝送遅延よりも短い場合だけである。云いかえれば、この代替方法は短い CS データ・ブロックが伝送される場合にのみ有用なのである。

#### 2 重動作：

第 2 実施例は 2 重伝送にも適している。この場合、起呼（許可）ステーションと被呼ステーションが区別されねばならない。起呼ステーションの各々は、CS フレームを獲得するとき、行先アドレス及びその CS データ・ブロックを挿入する。被呼ステーションの各々はそれ自体のアドレスを認識するとき、それに続く CS データ・ブロック

(40)

アクセス制御（RAC）39 から成る。

RIS 37、RAC 39 及び DTU 13 の機能は、以下の適当な箇所にリストされている。RIS 37 の詳細は第 8 図に關節して B(2) 節で説明し、RAC 39 の詳細は第 9 図に關節して B(3) 節で説明する。DTU 13 はそのインタフェース線及び機能の説明を通して十分に説明する。本発明を実現するための基本的な要素は RIS 37 及び RAC 39 に含まれているから、これ以上の詳細は必要ない。

本発明を実現するために必要な CS モニタ 23 に対する RA 33 中の RAC 及びリング・モニタ 21 に対する RA 35 中の RAC については、その付加的な機能を第 10 図に關節して B(4) 節で説明する。

#### インタフェース線：

第 7 図に示すように、RIS 37 と RAC 39 の間には次のインタフェース線が設けられる。

- |                      |                      |
|----------------------|----------------------|
| — データ・イン線 59         | } RIS 37 から RAC 39 へ |
| — (1 本、ビット直列)        |                      |
| — ビット・クロック線 73 (1 本) |                      |

(42)

- データ・アウト線67  
(1本、ビット直列)
  - スイッチ制御線69(1本)
- } RAC39からRIC37へ
- またRAC39とDTU13の間には、次のインターフェース線が設けられる。
- 受信コマンド線97(2本)
  - PSデータ・パケット受信
  - CSデータ・ブロック受信
  - データ・イン線117  
(8本、バイト並列)
  - デリミッタ指示線107(3本)
  - 送信コマンド線99(4本)
  - PS行先アドレス送信
  - PSデータ・パケット送信
  - CS行先アドレス送信
  - CSデータ・ブロック送信
  - タイミング信号線85  
(18本)
  - データ・アウト線119  
(8本、バイト並列)
- } RAC39からDTU13へ

(43)

出し、RAC39へクロック信号を供給する。

- 受信データ・ストリームを1ビット期間(クロックされた1ビット・パツファで)遅延させる。
- リング・モニタ21及びCSモニタ23については、遅延量は1ビットではなく、8ビット(1バイト)である。
- 受信され且つ遅延されたデータ・ストリームを通過させるか、又はDTU/RACからのデータを送信機を介してリング11へ転送させる。

RAC39の機能

- 受信データ・ストリーム中のデリミッタ(開始、終了、異常終了)を認識し、それぞれのデリミッタ指示信号をDTU13へ供給する。
- (リング11上で使用される)マンチエスタ・コードのデータを(DTU13で使用する)2進コードへ変換し、その逆も同様。
- 入来データ・ストリームを並列化し、出デ

(45)

- パケット/ブロック  
終了線101(1本)
  - 送信要求線103(2本)
  - PS送信要求
  - CS送信要求
  - ステーション許可線105  
(2本)
  - 許可
  - 許可解除
- } DTU13からRAC39へ

これらの線を介して伝送されるデータ・コマンド及び制御信号の詳細については、以下の節で説明する。

RIS37の機能

- ステーションをバイパスするか(リング閉鎖)又はリング・アダプタRA及びステーションをリングへ接続する(ステーション挿入)。
- リング11と信号を授受する。
- 受信データ信号をRAC39へ転送する。
- 受信データ信号からビット・クロックを引

(44)

ータ・ストリームを直列化する(1入力バイト及び1出力バイトをパツファする)。

- フレーム・ヘッダ・バイト及び制御ビットを区別し、フレーム中の情報フィールド及び情報フィールド中のバイトを区別する。
- CSスロットを区別し且つ該スロット中のF/Bビット、行先アドレス及びデータ・バイトのフィールドを区別する(\*1)。
- RAC39及びDTU13のためのタイミング/制御信号を発生する。
- フレーム・ヘッダの制御ビット(CS、P1、P2、TK、等)をテストし、それぞれの制御信号を発生する。
- DTU13からの“送信要求”が活勢であればトークン・ビット(TK又はF/Bビット)を反転する。
- RIS37のためのスイッチ制御信号を発生する。
- RIS37からDTU13へ入来データを転送し、DTU13からRIS37へ出データを

(46)

転送する。

- フレーム又はCSスロットを獲得した後ステーションへ“送信”コマンドを供給する(\*1)。
- 行先アドレスをそれ自体のステーション・アドレス(及び同報通信アドレス)と比較する。
- アドレスが一致すればステーションへ“受信”コマンドを供給する。
- データ伝送の終了後に終了デリミッタを伝送する。
- 重要なエラーの場合には異常終了デリミッタを伝送して現フレームをキャンセルする。
- (開始デリミッタによつて先行された)新しいPSヘッダを伝送するか、又は(開始デリミッタによつて先行された)新しいCSヘッダを伝送する(\*2)。
- これは終了デリミッタを伝送した後、又はそれ自体のフレーム・ヘッダを受信したときの(いずれか遅い方の)適当な時間

(47)

#### C S モニタ 2 3 の付加的な機能

##### RAC 3 9 において:

- 周期的なCSインターバルのためのタイミング信号(“CSインターバル時間”パルス)を発生する。
- 各CSインターバル時間パルスの後にTKビット=1を有する第1循環中のフレーム・ヘッダに優先順位ビットP1をセットする。
- 現フレームの終了デリミッタが受信されるとき、又はCSインターバル時間パルスの後にTKビット=0を有するフレーム・ヘッダが受信されるとき(開始デリミッタによつて先行される)CSフレーム・ヘッダを発行する。
- $(1+m) \times 8 \times N(aut)$  個のCSスロットをカウントし、次いで終了デリミッタを伝送する。
- フレーム・ヘッダと終了デリミッタの間で複数の“0”ビットを伝送する(\*1)。
- フレーム・ヘッダの後に複数の“1”ビ

(49)

に行われる。しかし、循環中のそれ自体のフレーム・ヘッダに優先順位ビットP1がセットされているならば、新しいPSフレーム・ヘッダはリリースされない。

- 同期を維持するためにアイドリング用の複数の“1”ビットを伝送する。
- これは優先順位ビットP1をヘッダにセットされているフレームの終了デリミッタを伝送した後に行われるか又は
- 任意のフレームの終了デリミッタを伝送した後で、しかもそのフレーム・ヘッダが同じステーションによつて再び受信されるまでに行われる。

注: 前記の記号(\*1)及び(\*2)は次の意味を有する。

- (\*1): この機能は第1実施例についてのみ提供される。
- (\*2): この機能は第2実施例についてのみ提供される。

(48)

ット<sup>△</sup>のシーケンスを伝送する。

- (開始デリミッタによつて先行される)新しいPSフレーム・ヘッダを発行する。
- これはCSヘッダが2回目に受信されるとき、即ちCSスロット列の第2循環の終りに行われる(\*1)。
- 或いは自由トークン指示(TKビット=0)を有するCSヘッダが受信されるときに行われる(\*2)。

##### C S モニタ 2 3 において:

- $N(max)$  及び  $N(aut)$  の値を維持する。
- CS要求メッセージを受諾する。
- $N(max)$  及び  $N(aut)$  を比較し、 $N(aut)$  が依然として  $N(max)$  より小さければ  $N(aut)$  を増加させ且つ(要求ステーションへアドレスされた)付与メッセージを伝送する。既に  $N(aut) = N(max)$  であれば否定メッセージを伝送する。
- CSリリース・メッセージを受諾し且つ  $N(aut)$  を減少させる。

(50)

- C S フレーム・ヘッダ及びC S スロット列が第1循環された後で、しかもこれらが第2循環のために再伝送される前に、C S フレーム・ヘッダ及びC S スロット列の一部をバッファする(\*1)。

#### DTU 13の機能

注：以下には、P S データ・パケット及びC S データ・ブロックのためにDTU 13とRAC 39の間で行われる情報交換に係る機能のみがリストされている。

- 出P S データ・パケットをバッファする。
- 出C S データ・ブロックをバッファする。
- P S 行先アドレスをバッファする。
- C S 行先アドレスをバッファする。
- RAC 39からそれぞれの“送信”コマンド信号を受信するとき、バッファされた情報をバイト直列に供給する。
- 入来P S データ・パケットをバッファする。
- 入来C S データ・ブロックをバッファする。
- RAC 39から“受信”コマンド信号を受

(51)

用することができる。

スイッチ51がその第2位置にあると、これはリング11の入来枝路を受信機57へ接続する。この受信機57の出力線59は第7図に図示されたデータ・イン線59であり、データをRAC 39へ転送する。データ・イン線59は1ビットの遅延ユニット61(クロックされる1ビット・バッファ)の入力にも接続される。前記したように、モニタ21及び23のためのRISでは、遅延ユニット61は8ビットの容量(8ビットの遅延)を有する。遅延ユニット61の出力は他の2位置スイッチ63によつて送信機65へ接続される。この送信機65の出力はスイッチ53の第2位置を介してリング11の出枝路へ接続されう。

スイッチ63の第2位置は線67へ接続される。第7図に示すように、線67はRAC 39からのデータ・アウト67線である。スイッチ63のセンテイングはRAC 39からスイッチ制御線69に与えられる信号によつて制御される。

データ・イン線59にはクロック抽出回路71

(53)

信するとき、それぞれの情報をバッファへ書込む。

- C S 許可要求メッセージをC S モニタ23へ送信する。
- C S モニタ23からのC S 許可付与メッセージを受信する。
- C S モニタ23へC S 許可リリース・メッセージを送信する。
- C S 許可信号をRAC 39へ伝送する；C S 許可解除信号をRAC 39へ伝送する。
- RAC 39へのP S 送信要求信号を付勢する；RAC 39へのC S 送信要求信号を付勢する。

#### B(2) RIS 37の詳細

第8図はリング挿入スイッチ(RIS)37の詳細を示す。これは第1のバイパス・スイッチ(BS1)51及び第2のバイパス・スイッチ(BS2)53を含み、これらのスイッチはリング11の入来及び出枝路をバイパス枝路55によつて直接に相互接続することができる。スイッチ51及び53は手動スイッチでよいが電子制御スイッチをも使

(52)

も接続される。この回路71は受信信号パターンからビット・クロックを抽出し、この信号をビット・クロック線73を介してRAC 39へ供給する。ビット・クロック線73は遅延ユニット61へ接続される。

#### B(3) RAC 39の詳細

第9図はRAC 39の詳細ブロック図である。

ビット認識及びコード違反検出ユニット75は、データ・イン線59及びビットクロック線73へ接続される。このユニット75が信号要素対'10'を受信したときはその出力線77に“0”ビットを表わす信号が供給され、信号要素対'01'を受信したときは“1”ビットを表わす信号が供給される。これらのビット信号は、以下で説明するようにG1ゲート回路79を通して利用回路及びDTU 13へ転送される。

しかしながら、もしコード違反'01'11'00'01'がユニット75によつて認識されるならば、タイマ83を起動するために線81に制御パルスが供給される。またタイマ83はビット・クロック線

(54)

73からビット・クロック信号を受取り、そしてタイミング信号(TS)線85を介して他の幾つかの機能ユニットへ必要なすべてのタイミング信号を供給する。タイマ83は複数のカウンタ及び複数の論理ゲートから成る。発生されたタイミング信号は、第11図に関連して以下のB(5)節で説明する。

タイマ83の拡張部であるCSインターバル・タイマ87は、CSモニタ23のためのRAC39にのみ設置する必要がある。これについてはB(4)節で説明する。

制御論理89は、その入力線に加わるタイミング及び指示信号に回答して、種々の制御信号を発生する。この制御論理89は詳細には図示されていない。むしろ、その論理機能が詳細に説明されるので、当業者はラッチ及びカウンタを含む論理回路を使用してこれと同じものを容易に実現することができる。

8本の制御ビット線91は制御論理89に対しフレーム・ヘッダで受信された個々の制御ビット

(55)

制御信号であり、これは受信データの中継又はローカル出力データによる受信データの置換を行わしめるためのものである。

制御論理89とDTU13の間には、複数の接続が設けられる。即ち、1対の受信コマンド線97はPS受信コマンド及びCS受信コマンド用であり、4本の送信コマンド線99はPSデータ・パケット、CSデータ・ブロック、PS行先アドレス又はCS行先アドレスに関する送信コマンド用であり、DTU13からの1本のパケット/ブロック終了線101はデータ・パケット又はデータ・ブロック伝送の終了を通知するためのものであり、1対の送信要求線103はDTU13からPS送信要求及びCS送信要求を転送するためのものであり、そしてDTU13からの1対のステーション許可線105はCS許可及びCS許可解除の受信を制御論理89に通知するためのものである。3本のデリミッタ指示線94もまた線107として、DTU13へ接続されているが、これは(終了デリミッタが受信されるとき)受信されたデータ・パ

(57)

特開昭57-129051(15)

(例えばCS/P1/TK等)の2進値を供給する。復号回路93は、制御バイトの受信中にタイミング信号(TS)線85へ供給される信号の制御下で受信線77からのこれらのビット値を8本の線91へ個別に供給する。

また復号回路93は線81にコード違反認識(CV-R)信号を受取り、そして後続する4ビットのデリミッタ指示を復号する。その復号結果はデリミッタ指示線107に与えられる。復号回路93は3本の信号線94を介して制御論理89へ開始、終了及び異常終了出力信号をそれぞれ供給する。

制御論理89は線95を介してタイマ83へタイマ制御信号を供給し、かくてそのタイミング信号シーケンスを受信情報へ適応させる。タイマ制御信号は(行先アドレスの後にCS時間スロット信号を生ぜしめるための)CSフレーム指示、終了指示及び拡張バイト指示を含む。

制御論理89からの他の出力信号はスイッチ制御線69を介してRIS37へ供給されるスイッチ

(56)

ケットの終りを通知するか、異常終了条件を通知するか、又は受信されたフレームの開始を通知するためのものである。

比較ユニット108は、通過中の各フレーム・ヘッダの行先アドレスを受取るように、線109によつてG1ゲート回路79の1出力へ、またタイミング信号(TS)線85へ接続される。G1ゲート回路79は制御論理89から与えられる1対のゲート制御信号GT1によつて制御される。これらのうち一方のゲート制御信号GT1-1は行先アドレスが受信されるインターバル中に活勢となつて線77を線109へ接続し、他方のゲート制御信号GT1-2はフレームの情報フィールド時間の間に活勢となつて線77を線110へ接続する。

比較ユニット108の第2入力、ローカル・ステーション・アドレスとの比較を可能とするために、ローカル・アドレス・レジスタ111へ接続される。比較ユニット108を制御論理89へ接続する出力線113は、当該ステーションのア

(58)



ドレスが受信されたとき活勢となる。同様に、同報通信アドレスも認識されうるが、説明を簡潔にするためにその詳細は省略する。

直並列変換ユニット及び入力バッファ115は、通過中フレームの情報フィールドから受信データをビット直列に受入れるために、線110によつてG1ゲート回路79へ接続される。直並列変換ユニット及び入力バッファ115はこれらのデータを並列バイトへ変換し、そして8ビット時間ごとに完全な1データ・バイトを8本の並列線117、即ちDTU13のデータ・イン線117を介して供給する。また直並列変換ユニット及び入力バッファ115は3本のデリミッタ指示線94へ接続され、これにより受信されたデリミッタに起因するバッファ内容の転送を禁止する。

当該ステーションからの8本の並列なデータ・アウト線119は、G2ゲート回路121へ接続される。G2ゲート回路121の第2入力には並列の転送線122へ接続される。G2ゲート回路121は、制御論理89から1対のゲート制御線GT

(59)

きる。このうち1つのゲート制御線GT3-1は、当該ステーションがPSデータ又はCSデータを伝送するとき及びヘッダの制御バイト又はデリミッタが読取専用記憶(ROS)135から読出されるとき、行先アドレス及び情報フィールド・インターバルの間に活勢となる。このゲート制御線は線125を線131へ接続する。他の2つのゲート制御線GT3-2及びGT3-3は、ビット・パターン発生器129から線131に“1”ビット又は“0”ビットのストリームを選択的に供給するために付勢される。

ビット・コード及びコード違反発生器133は、連続する“0”又は“1”ビットを受信するように、その1入力を線131へ接続される。この発生器133は受信された各ビットを第2(a)図に従つて信号要素対(マンチエスタ・コード)へ変換し、これらの信号要素対を線67、即ちRIS37へ接続されたデータ・アウト線67へ供給する。発生器133の第2入力はコード違反送信(CVT)を受信すべく制御論理89へ接続され、該信

(61)

2を介して供給される信号によつて制御される。

これらのうち、一方のゲート制御線GT2-1は伝送フレームの行先アドレス・インターバル及び情報フィールド・インターバルの間に活勢となつて、データ・アウト線119を並直列変換ユニット及び出力バッファ123の入力線へ接続する。他方のゲート制御線GT2-2は線122を並直列変換ユニット及び出力バッファ123の入力へ接続する。

並直列変換ユニット及び出力バッファ123はDTU13からG2ゲート回路121を介して並列アドレス又はデータ・バイトを受取り、これらをビット直列の形式で線125を介してG3ゲート回路127の第1入力へ供給する。G3ゲート回路127の他の2入力はビット・パターン発生器129へ接続され、該発生器は一方の線に“1”ビットのストリームを連続的に供給し、他方の線に“0”ビットのストリームを連続的に供給する。3本のゲート制御線GT3は制御論理89からG3ゲート回路127へ制御信号を転送することがで

(60)

号はデリミッタに対するコード違反が伝送される時間に付勢される。この信号に応じて発生器133は第2(b)図に示す如きコード違反パターンを発生し、このパターンを連続する4つのビット期間の間にデータ・アウト線67へ加える。

またRAC39は小容量のROS135を含み、これは伝送すべき完全なヘッダ制御バイト並びに(コード違反によつて重ね書きされる)4つの“0”ビット及び4つのデリミッタ指示ビットから成るデリミッタ・バイトを記憶する。伝送に必要な適当なヘッダ制御バイト又はデリミッタ・バイトを選択するために、ROS選択信号が並列線137を介して転送される。選択されたバイトは線122を介してG2ゲート回路121へ供給される。

#### B(4) CSモニタ23の詳細及び関連するRAC

##### 39の詳細

前記したように、本実施例のCSモニタ23は通常のデータ端末ユニット(DTU)にCSモニタ機能のための或る回路を追加したものである。以下ではこの追加された回路だけが第10図に関連

(62)

して説明される。

このCSモニタ23それ自体は周期的な回線交換データを送信及び受信するものではなく、非同期的なパケット交換データのみを送受するものと仮定した。かくて、CSモニタ23とRAC39の間にあるCS制御及びデータ線は、CSモニタ機能のために使用することができる。

本節の最後の部分では、第9図を参照してCSモニタ23に関連するRAC39の特有の機能を説明する。

第10図に示すように、CSモニタ23にはCSモニタ制御論理(CSMCL)139が設けられる。CSMCL139によつて制御されるのは、他のステーションからのCS許可要求及びCS許可リリース・メッセージの受信、他のステーションへのCS許可付与メッセージ(又は許可を拒否する否定メッセージ)の送信、CS許可ステーションの数N(aut)の更新、リング11に沿つた第1循環後に行われるCSフレーム・ヘッダ及びCSスロット列の一部のパツファリング(第1実施例のみ)

(63)

b) CSモニタ23から通常のステーションへ:

- CS許可付与メッセージ: PSフレーム・ヘッダは行先アドレスとして要求ステーションのアドレスを保持する。情報フィールドはメッセージ・タイプ指示として1バイトを保持し、それを許可付与メッセージとして指定する。
- CS許可拒否メッセージ: メッセージ・タイプ・バイトが異なり且つこれを許可拒絶として指定する点を除けば、許可付与と同じ内容を有する。

c) 使用されるメッセージ・タイプ・バイト:

0000 0001 = 許可要求  
0000 0010 = 許可リリース  
0000 0100 = 許可付与  
0000 1000 = 許可拒否

メッセージ・タイプ・バイト中の未使用ビット(たとえば、上位4ビット)は、要求され、付与され又はリリースされた情報をCS帯域巾(たとえばCSスロットの数)を通して伝えるために使

(65)

等である。このCSMCL139は以下に示す機能及び一連の動作ステップを検討すれば容易に実現することができるので、その詳細は省略する。

CS許可手順のための前記メッセージは(許可すべき)各ステーションとCSモニタ23の間で通常のPSフレームを介して交換される。これらのメッセージは次の如き形式を有する。

a) 通常のステーションからCSモニタ23へ:

- CS許可要求メッセージ: PSフレーム・ヘッダは行先アドレスとしてCSモニタ・アドレスを保持する。この情報フィールドは2バイトを保持し、その一方のバイトはそれを許可要求(後出)として指定するメッセージ・タイプバイトであり、他方のバイトは要求ステーションを識別するアドレス・バイトである。
- CS許可リリース・メッセージ: メッセージ・タイプがそれを許可リリース(後出)として指定する点を除けば、許可要求と同じ内容を有する。

(64)

用される。しかしながら、この可能性は本実施例には包含されない。

もちろん他の形式も可能である。たとえば、許可メッセージ・フレームはフレーム・ヘッダ中で1へセットされた優先順位ビットP2を有することができるし、付与及び拒否メッセージは情報フィールド中の第2バイトとしてCSモニタ23のアドレスを保持することができる。

CSMCL139には、関連するRAC39からのタイミング及び制御線、即ちタイミング信号(TS)線85、受信コマンド線97、送信コマンド線99、パケット/ブロック終了線101、送信要求線103、及びデリミッタ指示線107がそれぞれ接続される。CSモニタ23はまたデータ・イン線117及びデータ・アウト線119によつてそのRAC39へ接続される。

データ・イン線117は“CS要求/リリースMTBパツファ及び復号機構”と呼ばれるユニット145へ接続される。CSMCL139から線147に供給される“メッセージ・タイプ・バイト(

(66)

MTB)書込”制御信号により、CS要求メッセージ又はCSリリース・メッセージのメッセージ・タイプ・バイトは、他のステーションから受信されたとき、バッファに記憶され且つ復号される。その結果、線149の“CS要求”信号又は線151の“CSリリース”信号がCSMCL139へ転送される。

データ・イン線117は“要求元アドレス・バッファ”と呼ばれるユニット153にも接続される。このユニット153中のアドレスを取込むために、CSMCL139から線155に供給される。“アドレス書込”信号は要求メッセージ中の発信アドレスが受信されるときに付勢される。このアドレスはCSMCL139から線157に与えられる“アドレス読出”信号によつてバイト単位でリリースされる。

データ・アウト線119は要求元アドレス・バッファ153の出力へ接続され、かくて線157の“アドレス読出”信号が付勢されるとき記憶された要求元アドレスを行先アドレスとしてCS許

(67)

はまず線99の“PS行先アドレス送信”信号を付勢して線157の“アドレス読出”信号を生ぜしめ、次いでRAC39は線99の“PSデータ・パケット送信”信号を付勢して線165の一方の“許可メッセージ読出”信号を生ぜしめる。

本発明の第1実施例では、CSスロット列バッファ167が設けられるが、これはCSフレームの第1循環の後(該CSフレームの終了デリミッタが送信され且つそのCSフレーム・ヘッダが第2循環のためにリリースされるまで)CSフレーム・ヘッダ及びCSスロットを記憶するためである。その入力データ・イン線117へ接続される。CSMCL139から線169に与えられる“CSスロット書込”制御信号が活勢であるとき、CSスロット列バッファ167は連続的に受信されるバイトを取込む。

このCSスロット列バッファ167(及び本節で説明される他のバッファ)は動的バッファ、又は先入れ先出し式バッファである。CSスロット列バッファ167の出力はデータ・アウト線11

(69)

可メッセージに転送する。

またデータ・アウト線119は2つの標準的なCS許可メッセージのために設けられたROS163(又は単に2つの読出専用レジスタ)の出力へ接続される。線165に生ぜられる2つの異なる“許可メッセージ読出”信号は、ROS163からデータ・アウト線119へ(伝送リング11への転送のために)、“許可付与”メッセージ又は“許可拒否”メッセージをバイト単位で生ぜしめる。

メッセージ・タイプ・バイト及び要求元アドレスのための書込制御信号は次のようにして生ぜられる。即ち、許可メッセージが受信されるとき、RAC39から線97に与えられる“PSデータ・パケット受信”信号が付勢される。次いで、CSMCL159は2つの連続するバイト・インターバルで線147の“MTB書込”信号及び線155の“アドレス書込”信号を付勢する。

許可メッセージを伝送するために、CSMCL139は線103の“PS送信要求”信号を付勢する。PSフレームが利用可能になると、RAC39

(68)

9へ接続される。CSMCL139から線171に与えられる“CSスロット読出”信号が活勢であるとき、CSスロット列バッファ167の記憶データがその出力にバイト単位でリリースされる。

以下で説明するように、線171の“CSスロット読出”信号及び線169の“CSスロット書込”信号は両者ともに関連するRAC39からのコマンドに回答して活勢となる。CSスロット列バッファ167からCSMCL139へ“バッファ空”信号を転送するために、線172が設けられる。

レジスタ173は現に許可されているステーションの数 $N(aut)$ 、即ち本発明に従つた周期的な回線交換フレームの使用を許可されているステーションの数を記憶する。レジスタ173の内容、即ち $N(aut)$ は線175を介してCSMCL139へ与えられる。レジスタ173の内容はCSMCL139からのそれぞれの制御信号によつて増大又は減少せらる。レジスタ173の内容は線177の信号によつてゼロへリセットせらる。

他のレジスタ179は許可されるステーション

(70)

の可能な最大数  $N(\max)$  を記憶するために設けられる。ロード入力 181 は  $N(\max)$  の値を、たとえば手動的にセットするために設けられる。

比較ユニット 183 はレジスタ 173 及び 179 へ接続され、それぞれの内容である  $N(\text{aut})$  及び  $N(\max)$  を比較してその 2 進結果信号、 $N(\text{aut}) < N(\max)$  又は  $N(\text{aut}) = N(\max)$  を CSMCL 139 に与える。

2 ステージ・カウンタ及び比較ユニット 185 はレジスタ 173 から線 187 を介して  $N(\text{aut})$  を受取るように接続される。このカウンタは CSMCL 139 から線 189 に与えられる制御信号によつて起動される。CS フレームの情報フィールド、即ち CS スロット列が開始する場合(これは RAC 39 から線 99 を介して CSMCL 139 へ与えられる“CS データ・ブロック送信”信号によつて通知される)、これは  $N(\text{列}) = N(\text{aut}) \times 72$  の値に達するまで(タイミング信号線 85)に与えられる)各ビット・クロック・パルスによつて前進される。この値は  $N(\text{aut}) \times \text{CS スロット}$

(71)

を有する。

- “CS インターバル時間”信号の発生後に次のフレーム・ヘッダが“P1”ビット時間に受信される場合、線 69 のスイッチ制御信号及びゲート制御信号 GT3-3 が付勢されて通過中のフレーム・ヘッダにある優先順位ビット P1 を“1”へ変更させる。
- 次の終了デリミッタが生ずる場合、まず線 69 のスイッチ制御信号、線 137 の ROS 選択信号及びゲート制御信号 GT2-2/GT3-1 が付勢され、次いでゲート信号 GT3-3 又は GT3-2 が付勢されるので、CS フレーム・ヘッダ(CS ビット=1、TK ビット=0)がリリースされ、それに続いてアイドリング用の“0”ビット(第1実施例については CS スロット列)又はアイドリング用の“1”ビット(第2実施例については各 CS フレームのシーケンス)が生じられる。

- 注: “CS インターバル時間”パルスの後、CS モニタ 23 が通過中の次の PS フレ

(73)

ト(各々  $9 \times 8 = 72$  ビット)の列に必要なビットの数であり、この値に達するとき、カウンタ及び比較ユニット 185 は線 191 を介して CSMCL 139 へ停止信号を与える。この結果、線 101 を介して RAC へ通知信号が与えられるので、終了デリミッタによつて CS スロット列が終了される。

前記したように、CS モニタ 23 に関連する RAC 39 は通常のスーションに関連する RAC 39 とは異なる幾つかの機構を有する。

第9に示すように、通常のタイマ 83 に関連して CS インターバル・タイマ 87 が新たに設けられる。この CS インターバル・タイマ 87 は、その出力線 88 に制御論理 89 に対するタイミング信号として、“CS インターバル時間”信号を規則的に、たとえば 1 ミリ秒ごとに供給する。このインターバル期間は一定にすることができし、或いは CS インターバル・タイマ 87 の回路カードを交換したり又はそのスイッチを手動的にセットして選択可能にすることもできる。

この RAC 39 の制御論理 89 は次のような特性

(72)

ーム・ヘッダに優先順位ビット P1 をセットする場合、CS モニタ 23 は一般に CS フレーム・ヘッダをリリースすることができ、前にそれぞれのフレームの終了デリミッタが到着するまで待機しなければならない。しかしながら、CS モニタ 23 が PS フレーム・ヘッダに優先順位ビットをセットしようとする場合は、該 CS モニタによつて TK ビット=0 であるか否か、即ち当該フレームが使用されていないか否かが検査される。もしそうであれば、CS モニタ 23 は直ちに PS フレーム・ヘッダを CS フレーム・ヘッダによつて置換する(また以下で説明するように、CS フレームに対する以後の伝送及び切換動作を行う)。このことが可能となるのは、CS モニタ 23 の RAC 39 に 1 バイトデータ・ストリームの遅延があるからである。

制御論理 89 におけるその後の事象は実施例のタイプに依存する。

(74)

## (1) 第1実施例

- 与えられた長さのスロット列を得るために、以下の動作が行われる。情報フィールド、即ちCSスロット列が(たとえば線99のうちの“CSデータ・ブロック送信”信号を介して)開始する場合、制御論理89は行先アドレス・フィールド時間の後にCSモニタ23へ通知信号を送信する。CSMCL139(第10図)は前記したようにカウンタ185を開始させ、そして(たとえば“パケット/ブロック終了”線101を介して)RAC39の制御論理へカウンタ終了信号を戻す。このようなCSスロット列インターバルの終了時に、RACの制御論理はROS135から終了デリミッタの伝送を生じさせる(CSフレーム・ヘッダがまだ再受信されていない場合、この後にアイドリング用の“1”ビットを伝送させる)。
- CSフレーム・ヘッダがまだ1回も再受信されていない場合、CSモニタ23の制御

(75)

2循環用のCSフレームは第1循環用のCSフレームの終了デリミッタに直ちに後続するので)アイドリング用の“1”は伝送されない。

- b) もしCSフレーム・ヘッダが受信される前に終了デリミッタが伝送されるならば、アイドリング用の“1”が伝送されるけれども、(CSスロット列バッファ167におけるバッファリングは必要ないので)線169の“CSスロット書込”信号及び線171の“CSスロット読出”信号のどちらも付勢されない。そのかわりに、開始デリミッタが最初に受信される場合、線69のスイッチ制御信号が付勢されて受信データを反復(中継)させる。
- CSフレーム・ヘッダが2回目に受信される場合、制御論理89によつて発生される制御信号は現在の状況に依存する。
- a) もしスロット列がループ遅延より長く、

(77)

論理139はRAC39から“CSデータ・ブロック受信”線97を介して線169の“CSスロット書込”信号を開始するように通知され、そしてゲート制御信号GT1-2が付勢されてヘッダ、行先アドレス・フィールド及びCSスロット列のためにG1ゲート79を開放させる。

- CSスロット列の終了デリミッタが伝送される場合、CSモニタの制御論理139は(RAC39による開始デリミッタのリリース後に)“CSデータ・ブロック送信”線99を介して(第2循環のために)線171の“CSスロット読出”信号を開始するように通知され、続いてゲート制御信号GT2-1及びGT3-1がデータ・アウト線119からのデータに対するG2ゲート121及びG3ゲート127を開放するように付勢される。
- a) もし終了デリミッタの伝送前にCSフレーム・ヘッダが受信されるならば、(第

(76)

しかも受信された信号がスロット列バッファ167へ読込まれているならば、CSモニタ23の制御論理139は(線97の“CSデータ・ブロック受信”信号を脱勢することによつて)線169の“CSスロット書込”信号を停止させるように通知される。

CSスロット列バッファ167の読出しが継続し、そして(スロット列の最後のスロットを読出した後)該バッファが空になると、線172のバッファ空信号は制御論理139に作用して該バッファに対する線171の“CSスロット読出”信号を停止させ、また線101を介してRACへ終了指示信号を転送させる。この時点で、諸制御信号が発生され、これにより終了デリミッタ、開始デリミッタ、通常のPSフレーム・ヘッダ及びそれに続くアイドリング用の“1”が伝送される。次いで、このCSスロット列の終了

(78)

デリミッタが受信される場合、アイドリング用の“1”が停止され、そして線69のスイッチ制御信号は受信データ信号を反復するように変更される。

- b) もしスロット列がループの遅延より短かく、しかもパツファリングが行われていなければ(受信データが直ちに反復される)、CSフレーム・ヘッダを通常のPSフレーム・ヘッダで置換し、この後にアイドリング用の“1”を送送するために諸制御信号が発生される。終了デリミッタが受信される場合、線69のスイッチ制御信号は(アイドリング用の“1”ビットを送信するかわりに)受信データ信号を反復するように変更される。

## (2) 第2実施例

- CSフレームの開始デリミッタが最初に受信される場合、RAC39中の制御信号は受信データ信号を反復するために線69のスイッチ制御信号を変更させる。

(79)

制御論理89から線95を介してa)必要とされるヘッダ拡張バイトのタイミング、b)データ・パケット/データ・ブロックの終了、c)受信されたCSフレームを受取る。

第11A図は各フレームごとに発生されるタイミング信号として、バイト・クロック、ヘッダ時間(2又は3バイト)、CS/P1/P2/TK/EX/MC/RS/RS(ヘッダの第1バイト中にある各1ビット・パルス)、拡張バイト時間(オブション・1バイト)、行先アドレス時間(1バイト)、情報フィールド時間(可変長、行先アドレスの終了とともに開始し且つ制御論理89から終了信号が受取られるときに終了する)をそれぞれ示している。もしヘッダ拡張バイト時間信号が付勢されるならば、行先アドレス時間及び情報フィールド時間の開始点は1バイト期間だけシフトされる。

第11B図はCSスロット列における諸フィールドを区別するための追加のタイミング信号として、F/B時間(1ビット・パルス)、行先アドレ

(81)

- 自由トークン指示を有するCSフレーム・ヘッダが受信される場合、CSフレーム・ヘッダを通常のPSフレーム・ヘッダで置換し且つそれに続いてアイドリング用の“1”ビットを送送するためにRAC39によつて諸制御信号が発生される。次いで、(PSフレーム・ヘッダに先行する)開始デリミッタが受信される場合、RAC39から線69に生ぜられるスイッチ制御信号は反復を行う(アイドリング用の“1”ビットの伝送を停止)ように変更される。

## B(5) タイマ83によつて発生されるタイミング信号

第11A図及び第11B図は、タイマ83によつて発生される種々のタイミング信号TSの関係を示す。

タイマ83はデータ・ストリームから抽出されたビット・クロックを線73及び81を介して受取り、また開始デリミッタのコード違反が認識されたとき、パルスを受取る。またタイマ83は、

(80)

ス・フィールド時間(1バイト・最上位ビット)、CSデータ・ブロック・フィールド時間(8バイト)をそれぞれ示している。これらの信号は反復され、情報フィールド時間信号と同じ時間期間にわたつて活勢である。しかしながら、これらの信号が発生されるのは、(制御論理89から線95を介して通知されるように)CSフレーム・ヘッダが受信される場合だけである。

## 4. 図面の簡単な説明

第1図は本発明を包含するリング伝送方式のブロック図、第2a図はデータ・ビットを送送するために使用される波形を示す図、第2b図はフレームを区切るデリミッタのために使用される波形を示す図、第3図はデータ伝送用の基本フレーム形式を示す図、第4図はスロット列を介して同期的データを伝送するために使用される特殊なフレーム形式を示す図、第5図はCSスロット列を含む1フレームを与えるための本発明の第1実施例に従つたフレーム・シーケンスを示す図、第6図はCSフレームのシーケンスを与えるための本発

(82)

明の第2実施例に従つたフレーム・シーケンスを示す図、第7図は1ステーションの構成要素及びそのインターフェース線を示す図、第8図はリング挿入スイッチ(RIS)のブロック図、第9図はリング・アクセス制御(RAC)のブロック図、第10図はCSモニタの追加の構成要素を示すブロック図、第11A図は各フレームごとにタイマによつて発生されるタイミング信号を示す図、第12B図はCSスロット列における諸フィールドを区別するために発生される追加のタイミング信号を示す図である。

11……伝送リング、13～19……データ端末ユニット(DTU)、21……リング・モニタ、23……回線交換(CS)モニタ、25～35……リングアダプタ(RA)、37……リング挿入スイッチ(RIS)、39……リング・アクセス制御(RAC)。

(83)

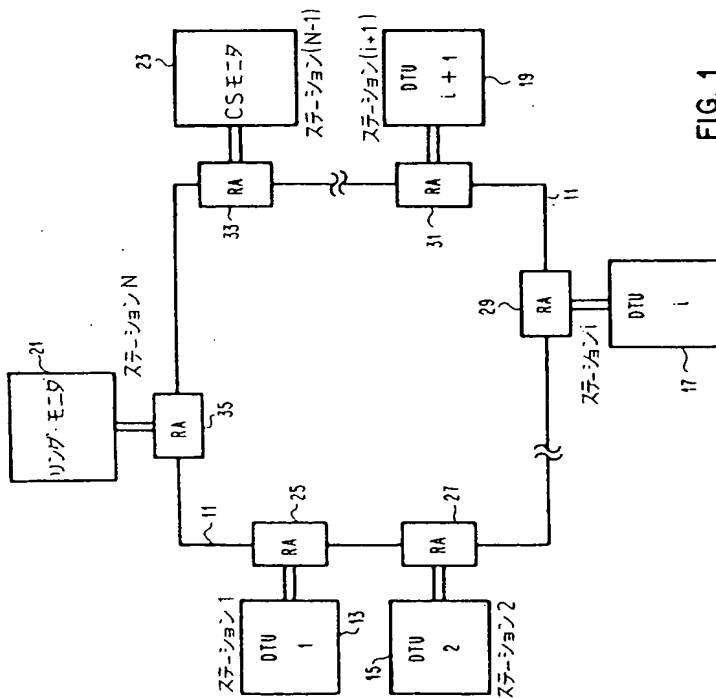


FIG. 1

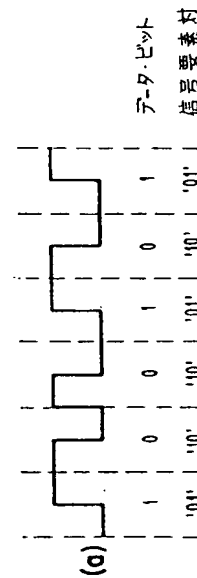
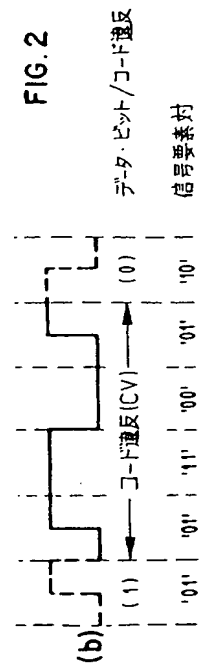


FIG. 2



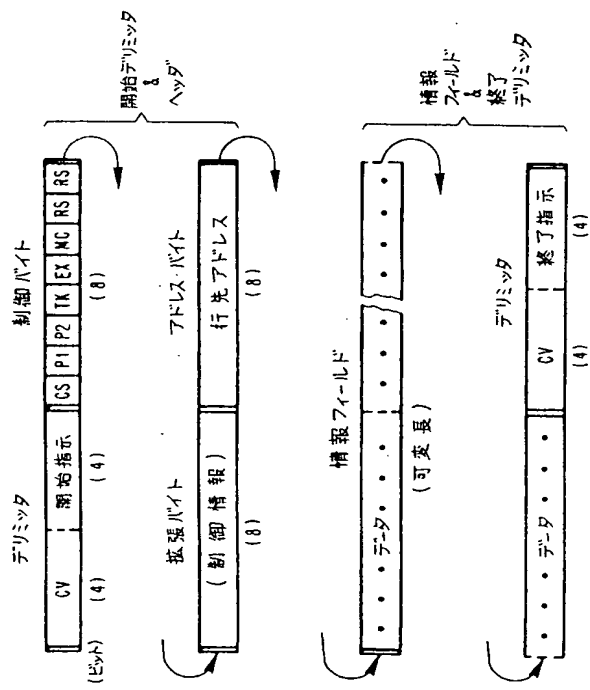


FIG. 3

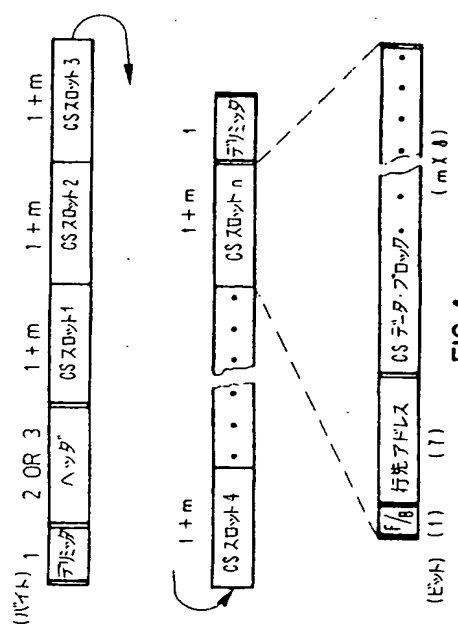


FIG. 4

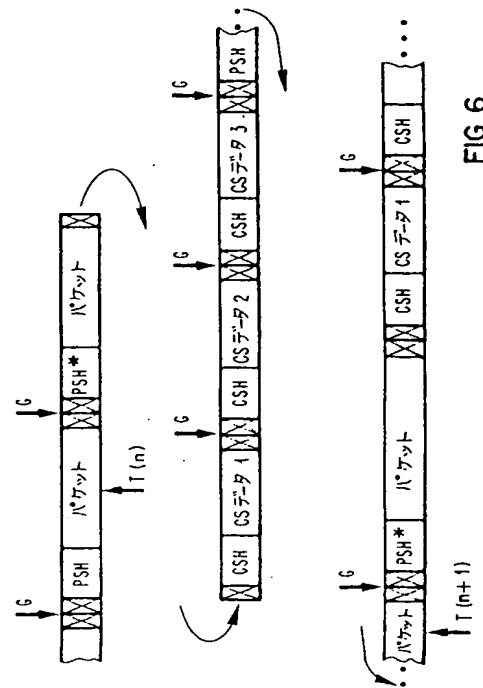
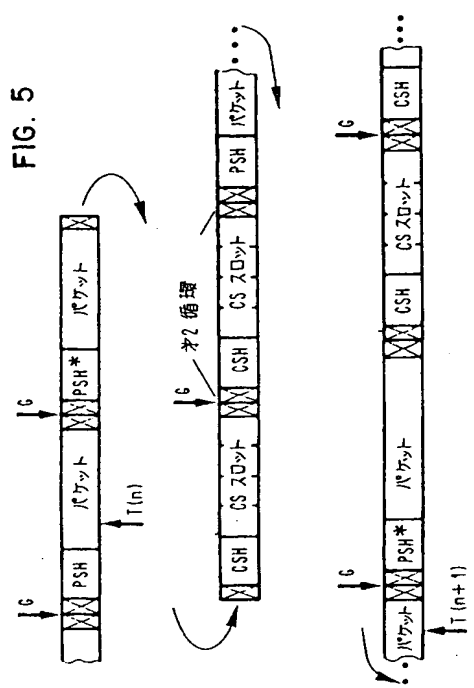
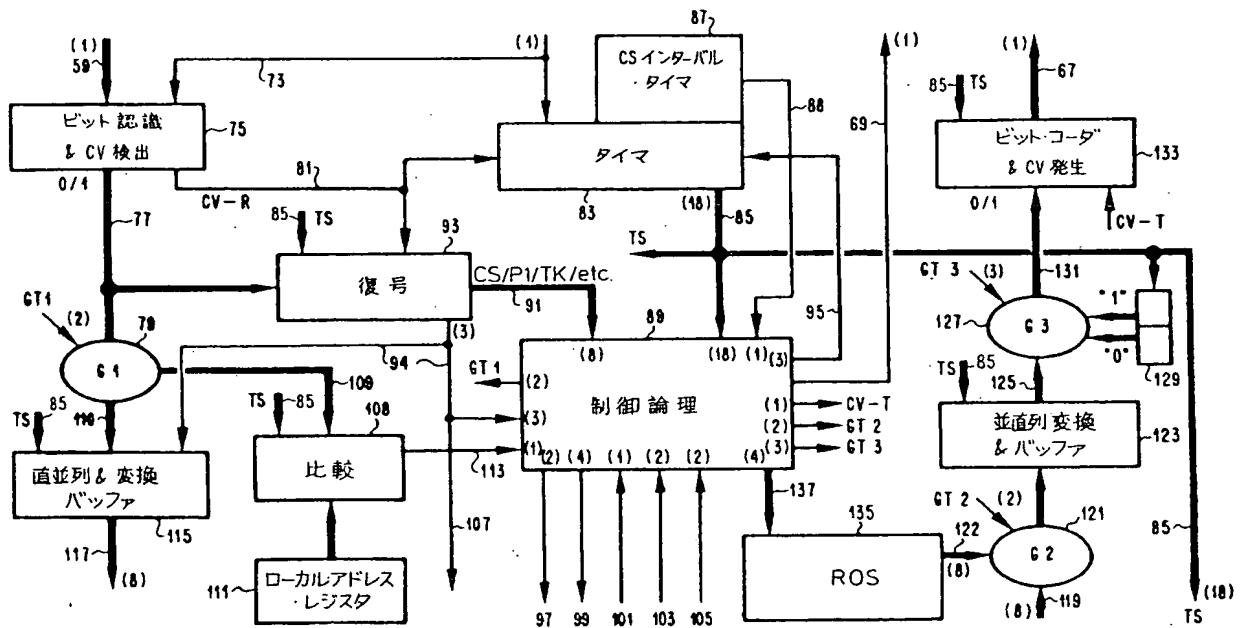
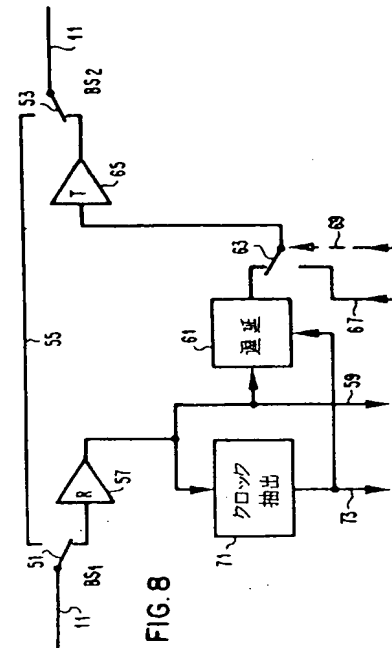
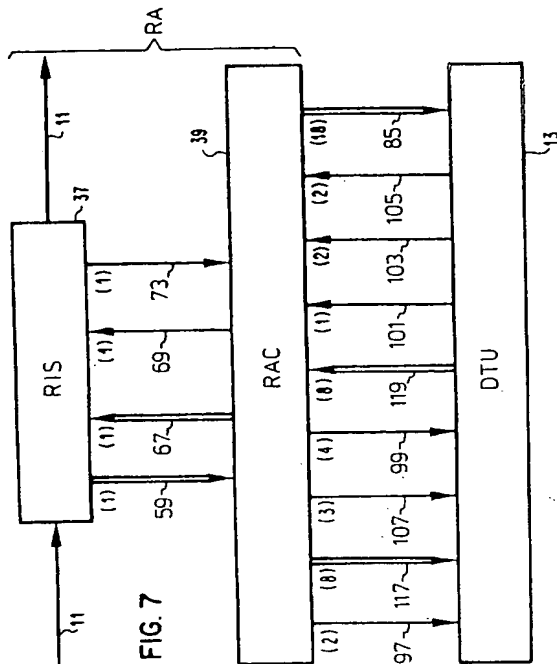


FIG. 6





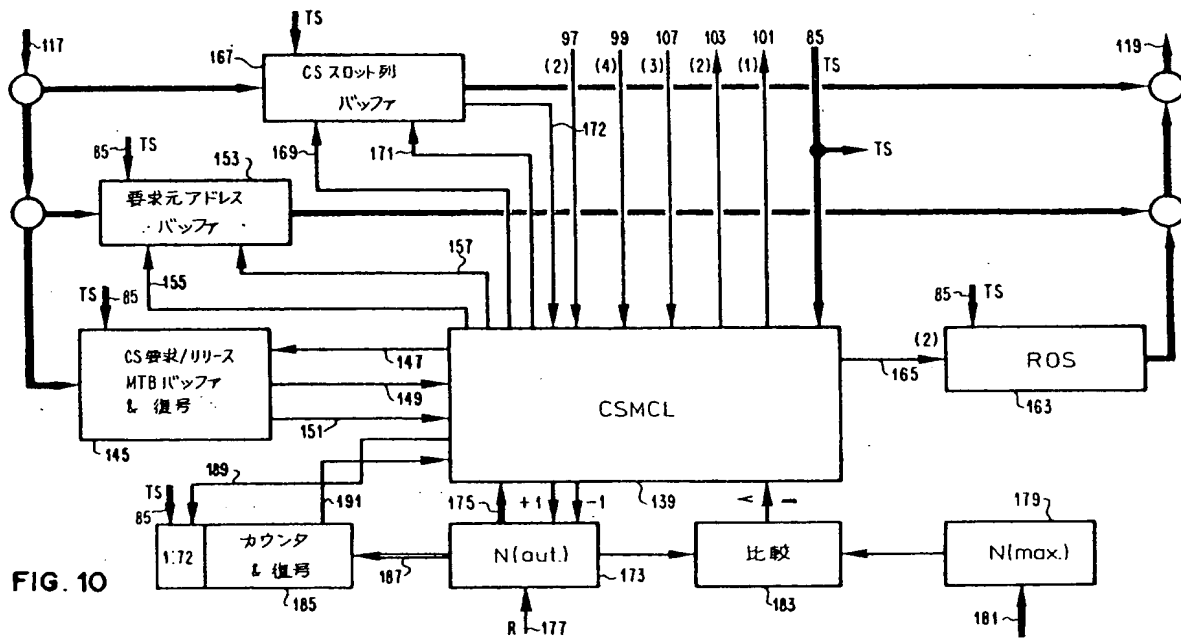


FIG. 10

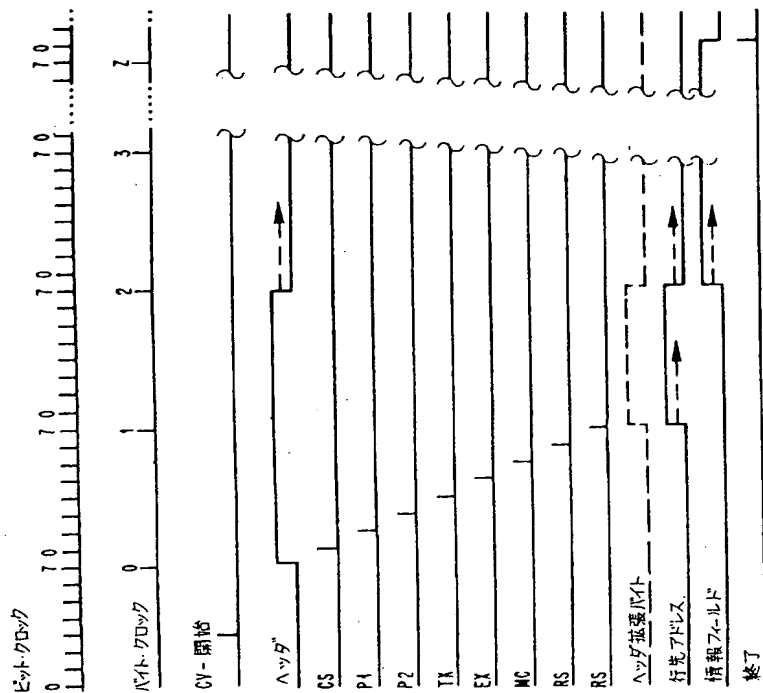
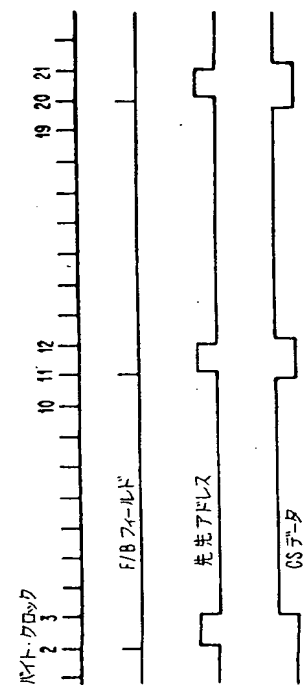


FIG. 11 A



**FIG. 11B**

昭和57年 3 月10 日

## 第 1 頁の続き

⑦発 明 者 ダニエル・チー・ウイング・ジ  
イ  
アメリカ合衆国フロリダ州ボカ  
・ラトン・サウスウエスト・ト  
ウエンテイス・ストリート11  
70番地

特許庁長官 島 田 春 樹 殿

## 1.事件の表示

昭和56年 特許願 第159540号

## 2.発明の名称

情報伝送方式

## 3.補正をする者

事件との関係 特許出願人

住 所 アメリカ合衆国10504、ニューヨーク州  
アーモンク(番地なし)名 称 インターナショナル・ビジネス・マシーニズ・コーポレーション  
(709)

## 4.代 理 人

住 所 郵便番号 106  
東京都港区六本木一丁目4番34号  
第21森ビル  
日本アイ・ビー・エム株式会社内  
Tel(代表)585-4921

氏 名 井理士 頼 宮 孝

(6728)



## 5.補正命令の日付

昭和57年 2 月23 日

## 6. 補正の対象

明細書の図面の簡単な説明の欄

## 7. 補正の内容

明細書第83頁第8行の「12B」を「11  
B」と補正する。

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**